

石器時代の携帯電話開発 その5

移動体通信に対する要求条件とその要求を満たすテクノロジーの詳細を説明します。

ここでもう一度、その3で説明したテクノロジーマップを出します。(図 1)

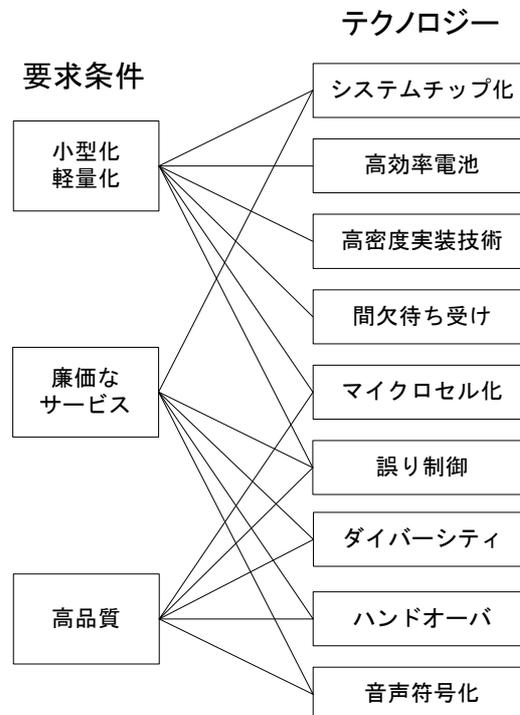


図 1 テクノロジーマップ

これからしばらくの間、上から順番に詳細を説明します。

システムチップ化

LSIの高集積化によりいまままで複数のチップ（IC）で実現していた回路を一つまたは少数のチップで実現するLSIをシステムチップと呼びます。

チップ数の削減により、システムの小型・軽量化が可能となります。

システムチップを実現する要素技術

システムチップ化を行うためには今までの機能を実現してきた複数チップを少数チップで構成するために図 2に示す要素が必要になります。

1. プロセスルール
2. IP
3. ユーザ回路
4. デバッグ環境

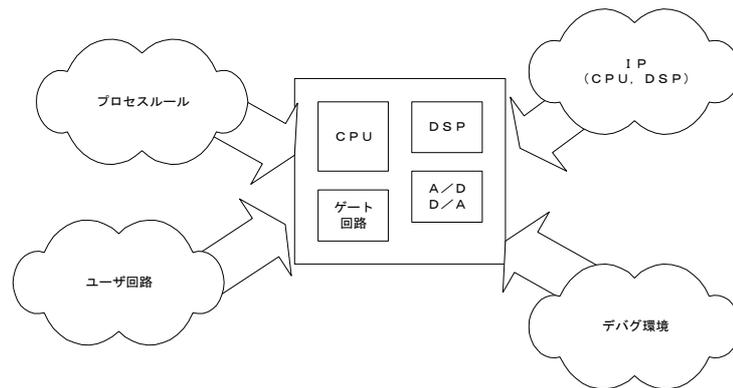


図 2 システムチップ実現要素

プロセスルール

プロセスルールとは、LSIメーカーが提供するLSIのゲート幅のことをいいます。プロセスといった場合は製造工程のことを言います。現在このプロセスルールは $0.35\mu\text{m}\sim 0.18\mu\text{m}^1$ に微細化されています。

プロセスの微細化による特徴を示します。

- ・搭載ゲート数が飛躍的に増加する。
- ・チップ内部の動作周波数が上昇する。
- ・動作電圧の低電圧化により消費電流を低減。

微細化により一つのパッケージに入るゲート数(トランジスタ数)は多くなっていますが、現在市場にあるLSIのプロセスは各LSIメーカー、製品により異なりますので2個の異なるLSIを1チップにすることがすぐに可能になるとは限りません。

移動体通信では、制御用にCPUとプログラムを格納するフラッシュEPROMを使用していますがこの2つの異なるプロセス(製造工程)のLSIを1チップ化すると論理ゲート性能が低くなる事があります。

また、デジタルICとアナログICを1チップ化する場合も効率が悪い場合があります。

アナログICはデジタルICに比べ微細化が進んでいません、この二種類のICを一つの製造工程上に載せた場合はどちらかのプロセスに引きずられ性能劣化につながる事があります。すなわち、デジタルICのプロセスに合わせた場合はアナログ部の性能が劣化します。またアナログICのプロセスに合わせた場合は搭載ゲート数が少なくなってしまう。

携帯電話のシステムチップ化に向けたいろいろなアプローチが行われています。

その一つが高周波部のCMOS化です、これまで高い周波数はバイポーラトランジスタで構成される場合が多かったのですが、デジタルICの発達でCMOSプロセスの方が微細化が進み高い周波数で良好な性能が出るようになってきました。

システムチップ化により高周波の回路とそれ以外のデジタル回路を同一のCMOSプロセスで製造する事ができるようになりました。

しかしながら同じプロセスを搭載した場合、その信号レベルの差よりデジタルとアナログの各信号処理間のクロストークによる回路性能劣化が問題になる場合が生じてきています。²

¹ 2007年の今は更に進んでいて、数十nm(ナノメートル： μ の1000分の1)ルールになっています。

² ここに挙げられる問題点は現在は解決されており、アナログーデジタル混在、デジタルー高周波混在のICもたくさん出ています。

IP (Intellectual Property)

IPとは、LSIメーカー、または、ファブレスメーカー、または、IP専門プロバイダ(以下IPプロバイダと呼びます)から提供される評価された機能ブロックでCPU、DSPのほかに各種周辺回路があります。

LSIメーカーは自社のLSIの付加価値として、ある時は自社で開発したリソースをIPライブラリとしてLSIのユーザに供給し、ある時はIPプロバイダから購入したIPを自社のプロセスにインプリメントしLSIユーザに提供しています。

移動体通信では、欧州のデジタル携帯電話の仕様であるGSMのチップセットにこのサードパーティ供給のIPがデファクトスタンダードとして使用されています。

GSMのチップセットで使用されているIPは制御用32ビットRISC CPUのARMと音声コーデック用DSPのOAKです。³

この2つのIPは、国内LSIメーカーもIPとして入手していますのでシステムチップを構成する場合LSIメーカーに左右されない開発が可能になります。

ユーザ回路

移動体通信には、さまざまなプロトコルがありデジタル携帯電話などの特殊なプロトコルに対応したIPをLSIメーカーが提供していません。このようにIPとしてない機能、他社と差別化する機能はユーザ回路としてLSIのユーザが自らASIC (Application Specific IC) 等で設計する必要があります。

デジタル携帯電話の場合、送受信データのエンコード・デコードを行うTDMA (Time Division Multiple Access)部がユーザ回路にあたります。⁴

移動体通信のシステムチップ開発も、通信の高速化・高機能化に対応して処理が複雑になってきています。

信号処理用バッファとしてメモリを使用することも多くなっています、昨今、大容量eRAM (embedded RAM)の内蔵が可能となりシステムチップのより小型化が可能になっています。

システムチップ外部に大容量SRAMを搭載した場合チップ間のデータのアクセスにおいて消費電流が増加しますがeRAMによりチップ内部にメモリを取り込むことによりチップが外部にある場合に比較し小型・軽量化と低消費電流化が可能です。

eRAMはSRAMに比較し消費電流が大きいという欠点がありますが、デコード、エンコードなど通信中のみに、動作する部分へ適用する等の使い方の工夫により消費電流に影響しないようにする事ができます。

デバッグ環境

システムチップ化は、移動体通信端末を小型・軽量化しますが製品化のための作業特にソフトウェアのデバッグは今までの製品と変わりません。

システムチップの集積度が上がれば上がるほど開発製品のデバッグ環境が汎用の製品と異なった形態になります。

CPUとDSPを単体で搭載した製品であれば、それぞれに汎用のデバッグ環境を準備することにより構築できます。

しかし、システムチップ化によりCPUとDSPを1チップ化した場合は汎用のデバッグ環境を使用することができませんのでチップ開発時からデバッグ環境を検討する必要があります。デバッグ方

³ 当時 IP といえば、ARM (ARM 社) と OAK (DSPG 社: 同列に PINE もある) と言われるほどでした。

⁴ 当時の代表的な構成であり、全てこうであったわけではない。

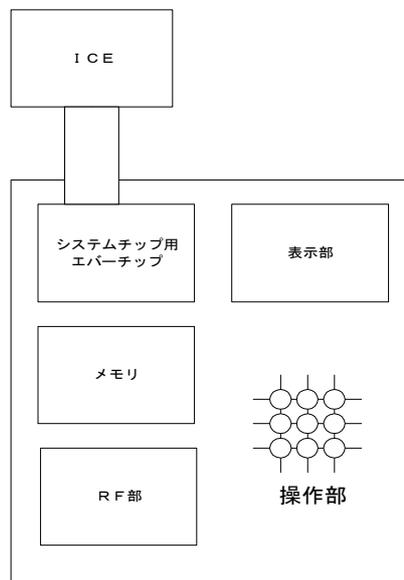
法として以下の3種類があります。

1. デバグボード方式
2. エミュレータボード方式
3. デバグ機能内蔵方式

これら3方式を以下に説明します。

デバグボード方式

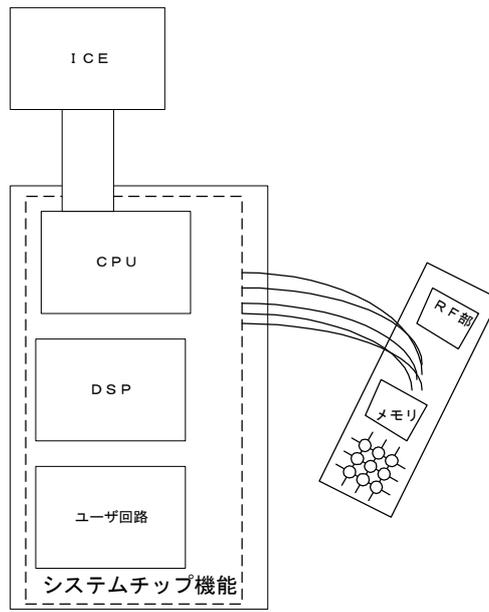
システムチップのエミュレーション機能を内蔵したチップ（エバーチップ）を搭載したデバグボードを作成し製品とは別の環境で開発・動作確認を行い製品開発にフィードバックを行います。この場合製品での詳細な動作確認を行うことができませんまた、高周波部などボードにより特性が異なる場合の確認を検討する必要があります。



デバグボード方式

エミュレータボード方式

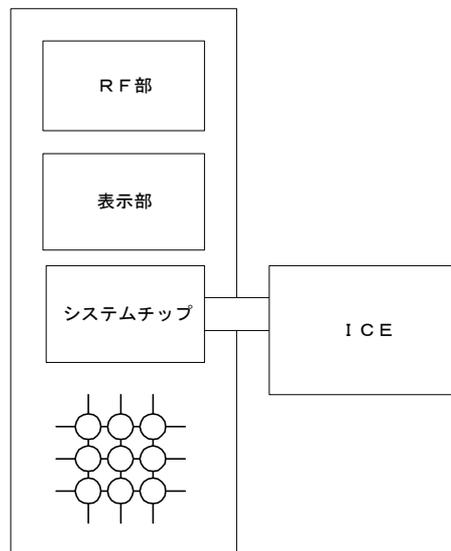
システムチップ、汎用チップによりエミュレータボードを作成しICEを構成して製品上で開発を行う。この場合は作成したシステムチップに対するエミュレータボードの違いを明確にし開発・デバグを行う。しかし、システムチップがCSP (chip size package) 等の特殊なパッケージを使用している場合は製品とのコネクタ部も開発する必要があります。



エミュレータボード方式

デバッグ機能内蔵方式⁵

システムチップ内にデバッグ機能を内蔵して数本の制御信号によりICE機能を実現することにより製品上にデバッグ用端子を搭載し開発・デバッグを行う。この場合は、システムチップに製品で使用しないデバッグ機能、デバッグ端子とデバッグ用コネクタなどが必要であり、製品、チップのコストアップになります。



デバッグ機能内蔵方式

⁵ 2007年現在はほとんどがJTAGインターフェースを使用したデバッグ機能内蔵方式がメインになっています。

デジタル携帯電話におけるシステムチップ

システムチップ化についてデジタル携帯電話を例に説明します。図 3のようにデジタル携帯電話に必要な機能は、以下の通りです。

デジタル系

1. 制御部 (CPU)
2. プログラムメモリ (ROM&RAM)
3. TDMA部
4. 変復調部
5. 音声コーデック (DSP)

アナログ系

1. 変復調アナログ部,
2. 音声コーデック入出力用アナログ I/F部
3. 高周波部
4. 電源部

初期の携帯電話は、図 3の上図のように、その内部は汎用チップ (CPU, メモリ, DSP等) と ASIC (TDMA部, 変復調部) により構成されていました。

プロセスの微細化により、システムチップ化が進み、デジタル系の制御部, TDMA部, 変復調部, 音声コーデック部が1チップに、アナログ系は変復調アナログ部, 音声コーデック入出力アナログ I/F部が1チップになり図の下の構成になりました。

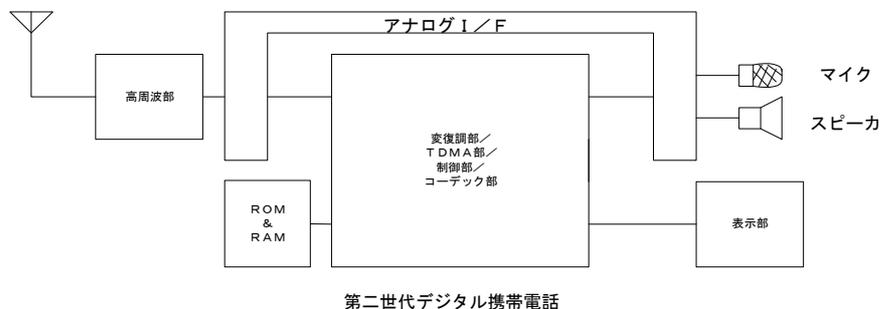
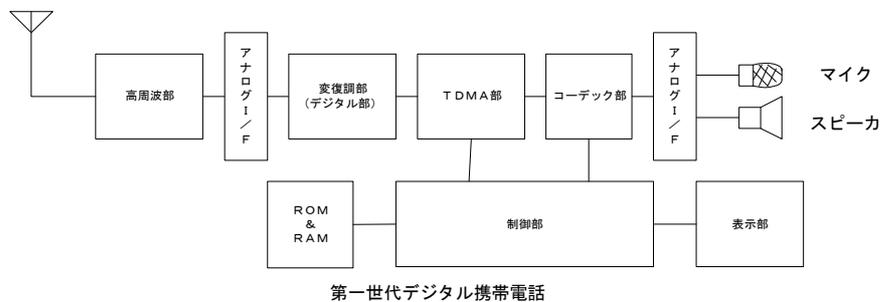


図 3 デジタル携帯電話ブロック図